

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-276486

⑤ Int. Cl.⁴

G 11 C 11/34
H 01 L 27/04
27/10

識別記号

3 5 4
3 2 5

庁内整理番号

F-8522-5B
G-7514-5F
V-8624-5F

⑬ 公開 平成1年(1989)11月7日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 半導体記憶装置

⑯ 特 願 昭63-106979

⑰ 出 願 昭63(1988)4月27日

⑱ 発 明 者 熊 野 谷 正 樹 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大 岩 増 雄 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

半導体基板と、前記半導体基板にバイアス電圧を印加するための第1および第2のバイアス手段と、前記半導体基板のバイアス電位の変化を検出する基板電位検出手段とを備えた半導体記憶装置において、

前記第1のバイアス手段は非選択状態のときに活性化されかつ前記第2のバイアス手段よりもバイアス能力が低くなるように構成されていて、

前記第2のバイアス手段は、前記基板電位検出手段によって前記基板電位が所定のレベルに達したことを検出するまでバイアス電圧を前記基板に供給し、所定のレベルに達した後、前記選択制御信号が非選択状態になったときにバイアス電圧の供給を停止するように構成されることを特徴とする、半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体記憶装置に関し、特に、ダイナミック型半導体記憶装置において、少ない消費電力で基板バイアス電圧を発生できるような半導体記憶装置に関する。

〔従来の技術〕

近年、パーソナルコンピュータの普及が著しくなっており、特に、最近では携帯型パーソナルコンピュータに対する需要が増大してきている。携帯型パーソナルコンピュータに用いられる記憶装置は、低消費電力のものが要求される。このような記憶装置として、通常はダイナミック型半導体記憶装置またはスタティック型半導体記憶装置が用いられる。このうち、ダイナミック型半導体記憶装置では、特に非選択状態において基板バイアス電圧を発生する回路における消費電力が全消費電力の大部分を占めているため、これを低減する必要がある。

このようなバイアス電圧発生回路における消費電力を低減するために、たとえば K. S a t o ,

et al. "A 20ns Static Column 1Mb DRAM in CMOS Technology," 1985 IEEE ISSCC Dig. Tech. Pap. 254-255に記載されているごとく、2種類の基板バイアス発生回路を設け、一方のバイアス能力の低いバイアス回路を常時動作させ、他方のバイアス能力の高いバイアス回路を基板電位に応じて間欠的に動作させる方法が考案されている。

第4図は上述の従来の基板バイアス電圧発生回路の一例を示す電気回路図である。第4図において、第1の基板バイアス電圧発生回路1は、リングオシレータ11とインバータ12とコンデンサ13とnチャネルトランジスタ14、15とを含んで構成される。リングオシレータ11の出力はインバータ12によって反転され、コンデンサ13を介してnチャネルトランジスタ14のゲートとドレインに与えられるとともに、nチャネルトランジスタ15のドレインにも与えられる。nチャネルトランジスタ14のソースは接地され、n

チャネルトランジスタ15のゲートとソースが接続される。

一方、第2の基板バイアス電圧発生回路2はリングオシレータ21とNORゲート22、29とインバータ23、24とコンデンサ25とnチャネルトランジスタ26、27と基板電位検出回路28とを含んで構成されている。リングオシレータ21の出力はNORゲート22の一方入力端に与えられ、NORゲート22の出力はリングオシレータ21に与えられるとともに、インバータ23、24およびコンデンサ25を介してnチャネルトランジスタ26のゲートとドレインに与えられ、さらにnチャネルトランジスタ27のドレインに与えられる。nチャネルトランジスタ26のソースは接地され、nチャネルトランジスタ27のゲートはソースに接続され、さらに第1の基板バイアス電圧発生回路1の出力に接続される。基板電位検出回路28は図示しない半導体基板の電位を検出するものであって、その検出出力N₀はNORゲート29の一方入力端に与えられる。N

ORゲート29の他方入力端には、選択状態を示すRAS信号が与えられる。このNORゲート29の出力は前述のNORゲート22の他方入力端に与えられる。

第5図は第4図に示した従来の基板バイアス電圧発生回路の動作を説明するための波形図である。

まず、第5図および第4図を参照して、第1の基板バイアス電圧発生回路1の動作について説明する。リングオシレータ11の出力が接地電位GNDになっていて、インバータ12の出力が電源電位V_{cc}になるステップ1において、ノードN_Aの電圧はコンデンサ13による容量結合により、電源電位V_{cc}まで高くなろうとする。しかし、ノードN_Aの電圧がnチャネルトランジスタ14のしきい値電圧V_{T1}まで上昇すると、nチャネルトランジスタ14が導通状態になって、それ以上の電圧上昇が抑えられ、これによってノードN_Aは電圧V_{T1}に保たれる。

次に、リングオシレータ11の出力が電源電位V_{cc}まで上昇し、インバータ12の出力が接地

電位GNDになるステップ2において、ノードN_Aの電圧はコンデンサ13による容量結合により、電圧(V_{T2} - V_{cc})になろうとする。しかし、ノードN_Aの電圧が基板電圧V_{ss}からnチャネルトランジスタ15のしきい値電圧V_{T1}を減じた電圧(V_{ss} - V_{T1})より小さくなると、nチャネルトランジスタ15が導通状態になって、ノードN_Aの電圧はそれほど低くならない。

ステップ1およびステップ2を1回ずつ行なうと、ノードN_Aの電圧および基板電圧V_{ss}は低下する。なお、その程度は、コンデンサ13の容量C_Aと基板の負荷容量の比で決定される。さらに、ステップ1およびステップ2を何回か繰返すと、ノードN_Aの電圧は電圧(V_{T2} - V_{cc})と電圧V_{T2}の間の発振となり、基板電圧V_{ss}は最終的には電圧(V_{T2} - V_{cc} + V_{T1})に近づいていく。

次に、第2の基板バイアス電圧発生回路2の動作について説明する。第1の基板バイアス電圧発生回路1においては、リングオシレータ11が常

時動作しているため、ノード N_A は第5図(b)に示す波形の電圧 V_A が現われるが、第2の基板バイアス電圧発生回路2においては、NORゲート22の出力により、リングオシレータ21の動作が制御される。すなわち、ノード N_C の電圧が“L”レベルのときはNORゲート22の出力が“H”レベルになるため、リングオシレータ21は発振するが、ノード N_C の電圧が“H”レベルのときには、NORゲート22の出力が“L”レベルになるため、リングオシレータ21は発振しない。また、ノード N_C の電圧は、さらにNORゲート29によっても制御される。すなわち、RASが選択された状態を示す“H”レベルのときには、基板電位検出回路28の出力 N_D のレベルにかかわらず、ノード N_C の電圧は“L”レベルとなる。RAS信号が非選択状態を示す“L”レベルのときには、基板電位検出回路28の出力 N_D のレベルが“H”レベルのときにはノード N_C の電圧が“L”レベルとなり、出力 N_D のレベルが“L”レベルのときには、ノード N_C の電圧

V_{BB} のレベルが所定のレベルに達したときには、発振を停止するので、第2の基板バイアス電圧発生回路2におけるノード N_B の電圧 V_B は第5図(c)、(d)に示すようになり、非選択の状態における消費電力が低減される。なお、何らかの理由により、基板電圧 V_{BB} のレベルが所定のレベルより浅くなった場合には、再びリングオシレータ21が発振して、急速に基板電圧 V_{BB} を所定のレベルにまで低下させる。

第6図は第4図に示した基板電位検出回路の一例を示した電気回路図である。第6図において、電源電位 V_{CC} と基板電圧 V_{BB} との間にはpチャネルトランジスタ281とnチャネルトランジスタ282、283が直列接続される。すなわち、pチャネルトランジスタ281のドレインには電源電位 V_{CC} が与えられ、ソースはnチャネルトランジスタ282のドレインに接続され、nチャネルトランジスタ282のソースがnチャネルトランジスタ283のドレインとゲートに接続される。nチャネルトランジスタ283のソースには

“H”レベルとなる。基板電位検出回路28は基板電圧 V_{BB} のレベルを常時監視していて、所定のレベルに達する前には“H”レベルの信号を出力し、所定のレベルに達すると“L”レベルの信号を出力する。

なお、リングオシレータ21が発振しているときの動作は、第1の基板バイアス電圧発生回路1の動作とはほぼ同一であるが、そのバイアス能力がより高くなるように構成されているので、より急速に基板電圧 V_{BB} を低下させることができる。

第1の基板バイアス電圧発生回路1におけるノード N_A と第2の基板バイアス電圧発生回路2のノード N_B の電圧レベル波形を、このダイナミック型半導体記憶装置の選択制御信号RASとともに示すと、第5図に示すようになる。すなわち、リングオシレータ11は常時動作しているため、第1の基板バイアス電圧発生回路1のノード N_A における電圧 V_A は第5図(b)に示すようになる。しかしながら、リングオシレータ21は、この記憶装置が非選択の状態において、基板電圧 V

基板電圧 V_{BB} が与えられる。pチャネルトランジスタ281のゲートとnチャネルトランジスタ282のゲートは接地される。pチャネルトランジスタ281のソースとnチャネルトランジスタ282のドレインの接続点であるノード N_1 には、インバータ284の入力が接続され、インバータ284の出力はインバータ285を介して前述の第4図に示したNORゲート29の他方入力端に接続される。

nチャネルトランジスタ282、283のそれぞれのしきい値電圧を V_{02} 、 V_{03} とすると、 $V_{BB} > -(V_{02} + V_{03})$ のときには、nチャネルトランジスタ282は非導通であるため、ノード N_1 のレベルはpチャネルトランジスタ281が導通していることにより、“H”レベルとなる。このノード N_1 の電圧はインバータ284、285を介して出力されるので、出力 N_D は“H”レベルとなる。次に、 $V_{BB} \leq -(V_{02} + V_{03})$ のときには、nチャネルトランジスタ282が導通状態となる。このとき、pチャネルトラン

ジスタ281とnチャネルトランジスタ282のサイズの比を適当に選んでおけば、ノードN1のレベルを“L”レベルにすることができる。すなわち、出力N₀は“L”レベルとなる。

〔発明が解決しようとする課題〕

上述のごとく、従来の半導体記憶装置においては、2種類の基板バイアス電圧発生回路1, 2を有しており、記憶装置が選択された状態においては、両方の基板バイアス電圧発生回路1, 2が動作するために、消費電力が増大してしまうという問題点があった。

それゆえに、この発明の主たる目的は、記憶装置が選択された状態において、一方の基板バイアス電圧発生回路の動作を停止することにより、少ない消費電力で基板バイアス電圧を発生することができるような半導体記憶装置を提供することである。

〔課題を解決するための手段〕

この発明は半導体基板と、この半導体基板にバイアス電圧を印加するための第1および第2のバ

ー基板バイアスに関連する部分の構成について説明する。RASバッファ3には、行アドレスストローブ信号であって、記憶装置の選択制御信号を兼ねるRAS信号が与えられる。また、CASバッファ5には列アドレスストローブ信号としてのCAS信号が与えられる。さらに、アドレスバッファ4にはアドレス信号A₀, A₁, …, A_nが与えられる。アドレスバッファ4はRAS信号およびCAS信号のそれぞれの立下がりタイミングで行アドレスと列アドレスを取込み、このアドレスによってメモリアルレイ6の番地を指定してデータの書込あるいは読出を行なう。RASバッファ3からはRAS信号を反転したRAS信号が出力され、基板バイアス電圧発生回路10, 20に与えられる。そして、基板バイアス電圧発生回路10, 20から出力される電圧V_{ss}がバイアス電圧として半導体基板に供給される。

第2図はこの発明の一実施例を示す電気回路図である。第2図において、基板バイアス電圧発生回路は第1の基板バイアス電圧発生回路10と第

2の基板バイアス電圧発生回路20とによって構成されるが、第2の基板バイアス電圧発生回路20は前述の第4図に示した第2の基板バイアス電圧発生回路2と同様にして構成される。第1の基板バイアス電圧発生回路10は、以下の点を除いて前述の第4図に示した第1の基板バイアス電圧発生回路1と同様にして構成される。すなわち、リングオシレータ11とインバータ12との間にはNORゲート16とインバータ17が接続され、NORゲート16の一方入力端にはリングオシレータ11の出力が与えられ、他方入力端にはRAS信号が与えられる。NORゲート16の出力はインバータ17に与えられるとともに、リングオシレータ11にも与えられている。

〔作用〕

この発明に係る半導体記憶装置は、記憶装置が選択された状態において、一方のバイアス手段の動作を停止させるようにしたので、少ない消費電力で基板バイアス電圧を発生することができる。

〔発明の実施例〕

第1図はこの発明の一実施例が適用される半導体記憶装置の要部を示す概略ブロック図である。まず、第1図を参照して、半導体記憶装置におけ

る第2の基板バイアス電圧発生回路20とによって構成されるが、第2の基板バイアス電圧発生回路20は前述の第4図に示した第2の基板バイアス電圧発生回路2と同様にして構成される。第1の基板バイアス電圧発生回路10は、以下の点を除いて前述の第4図に示した第1の基板バイアス電圧発生回路1と同様にして構成される。すなわち、リングオシレータ11とインバータ12との間にはNORゲート16とインバータ17が接続され、NORゲート16の一方入力端にはリングオシレータ11の出力が与えられ、他方入力端にはRAS信号が与えられる。NORゲート16の出力はインバータ17に与えられるとともに、リングオシレータ11にも与えられている。

第3図は第2図に示した基板バイアス電圧発生回路の動作を説明するための波形図である。

次に、第3図を参照して、第2図の動作について説明する。なお、第2の基板バイアス電圧発生回路20の動作は第4図に示した第2の基板バイアス電圧発生回路2と同じであるため、第1の基

板バイアス電圧発生回路 10 の動作についての説明する。第 2 図において、RAS 信号が“H”レベルになると、NOR ゲート 16 の出力が“L”レベルになるため、リングオシレータ 11 の発振が停止する。これによって、リングオシレータ 11 は非選択状態のときのみ発振するため、選択状態のときにおける消費電力が低減される。すなわち、第 3 図 (a) に示すように、RAS 信号が“H”レベルになって、非選択状態のときにはノード N_A の電圧 V_A は第 3 図 (b) に示すように、リングオシレータ 11 が発振して第 1 の基板バイアス電圧が半導体基板に与えられる。RAS 信号が“L”レベルになると、第 3 図 (d) に示すように、第 2 の基板バイアス電圧発生回路 20 におけるリングオシレータ 21 は基板電圧が所定のレベルに達するまでは発振動作を行ない、所定のレベルに達した後、非選択状態になったときに発振を停止するので、非選択状態のときにおける消費電力を低減できる。

【発明の効果】

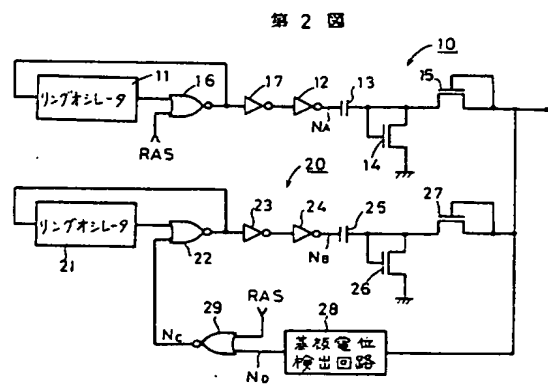
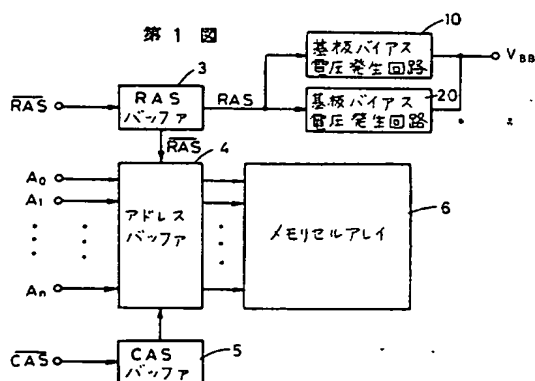
した従来の基板バイアス電圧発生回路における基板電位検出回路を示す電気回路図である。

図において、10は第1の基板バイアス電圧発生回路、11、21はリングオシレータ、12、17、23、24はインバータ、13、25はコンデンサ、14、15、26、27はnチャネルトランジスタ、16、22、29はNORゲート、20は第2の基板バイアス電圧発生回路、28は基板電位検出回路を示す。

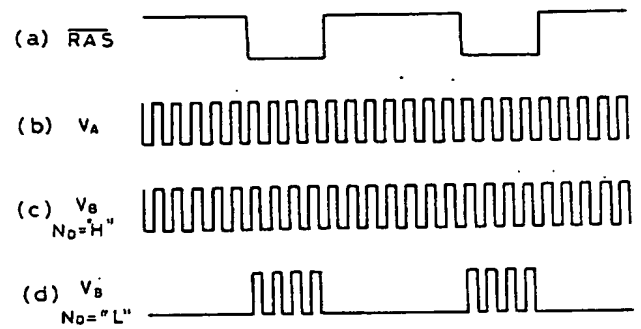
以上のように、この発明によれば、第1のバイアス手段は非選択状態のときにのみ動作するようにしたので、選択状態のときにおける消費電力を低減でき、第2のバイアス手段は基板電圧が所定のレベルに達するまでは動作し、所定のレベルに達した後は非選択状態のときにその動作を停止するようにしたので、非選択状態のときにおける消費電力も低減され、消費電力の少ない半導体記憶装置を得ることができる。

4. 図面の簡単な説明

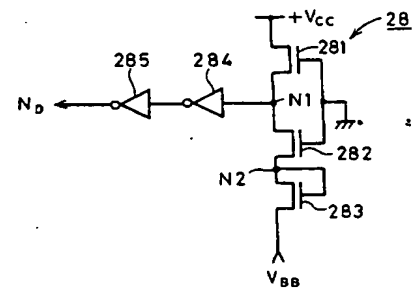
第1図はこの発明の一実施例が適用された半導体記憶装置の要部を示す概略ブロック図である。第2図はこの発明の一実施例の電気回路図である。第3図はこの発明の一実施例における基板バイアス電圧発生回路のノード N_A 、 N_B の電圧レベルの変化を示す波形図である。第4図は従来の基板バイアス電圧発生回路を示す電気回路図である。第5図は第4図に示した従来の基板バイアス電圧発生回路におけるノード N_A 、 N_B の電圧レベルの変化を示す波形図である。第6図は第4図に示



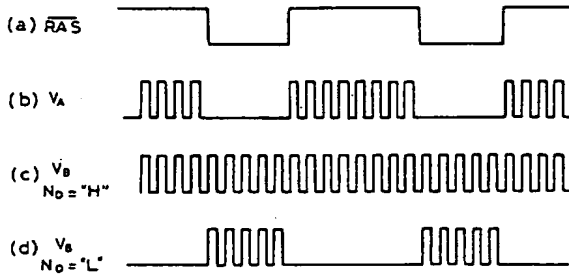
第5図



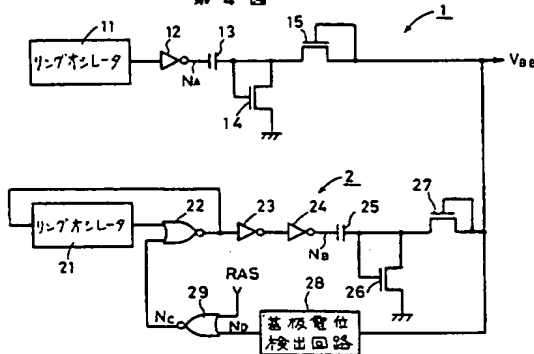
第6図



第3図



第4図



手続補正書 (自発)

平成 1 年 5 月 8 日

特許庁長官殿

1. 事件の表示

特願昭 63-106979 号

2. 発明の名称

半導体記憶装置

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)

5. 補正の対象

図面の第6図

6. 補正の内容

(1) 図面の第6図を別紙のとおり補正する。

以上



方式

第 6 図

